

Tema 5

Procesadores Digitales de Señal de Coma Flotante

5.1. DSP TMS320C30

Los DSP de coma flotante suelen utilizarse en campos de aplicación del procesamiento digital con mayor carga computacional. Algunas de las aplicaciones más usuales de este tipo de procesadores son: procesamiento de vídeo e imagen, gráficos 3D, radar, sonar, instrumentación de precisión, procesamiento vectorial, comunicaciones de alta velocidad, aplicaciones multiproceso, etc.

Actualmente existen diversas familias de distintos fabricantes. En esta sección se estudiará la estructura interna de una familia DSP de coma flotante, la TMS320C3x, que proporciona un ejemplo de implementación de la arquitectura de este tipo de procesadores. Se comentará, por último, las novedades presentadas por otros DSP.

Los TMS320C3x constituyen la tercera generación de DSP de Texas Instruments. Son procesadores de coma flotante, con 32 *bits* de *bus* de datos y capaces de alcanzar hasta 40 MFLOPS y 20 MIPS.

Como características más relevantes, podemos destacar una ALU y multiplicador de coma flotante/coma fija, dos generadores de direcciones de memoria, dos temporizadores de 32 *bits* y dos puertos serie para transferencias de 8/16/24/32 *bits*. El TMS320C30 incluye un controlador DMA y dispone de soporte para multiproceso. La memoria interna incluye 4k palabras de ROM, 2k palabras de RAM y caché de programa. Su estructura interna se muestra en la Figura 5.18.

Los procesadores incluidos en la familia TMS320C3x son:

- TMS320C30: versiones con reloj de 27 MHz, 33 MHz y 40 MHz, 2kx32 bits RAM, 4kx16 bits ROM, 64x32 bits caché, 2 puertos serie.
- TMS320C31: reloj de 27 MHz, 33 MHz y 40 MHz,, 1568x16 bits RAM, 1 puerto serie.

El TMS320C31 es una versión de bajo coste del TMS320C30, sin memoria EPROM ni *bus* secundario externo.

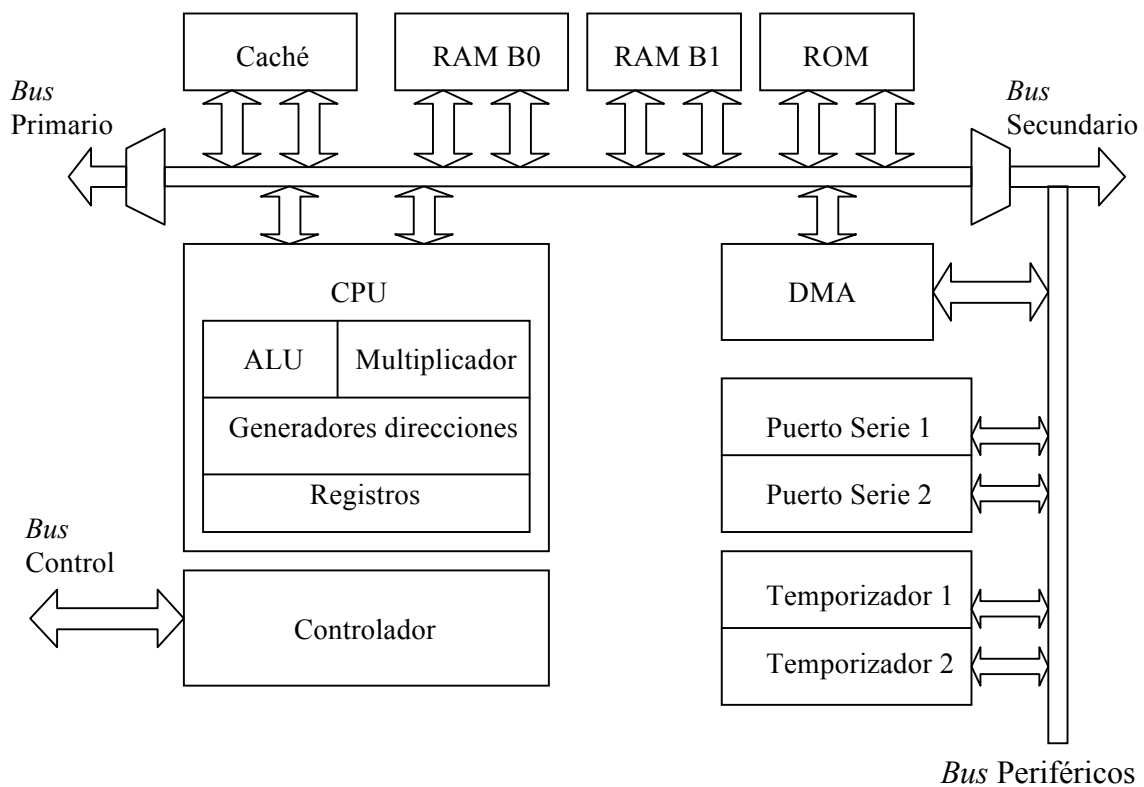


Figura 5.1. Diagrama de bloques del TMS320C3x.

5.1.1. Buses.

El TMS320C3x dispone de una estructura de *buses* internos y dos *buses* externos. Los *buses* de direcciones permiten direccionar hasta un máximo de 16M palabras. En la Figura 5.2 puede verse la estructura de *buses* internos.

Buses internos

Hay tres grupos de *buses* internos, correspondientes a la memoria de programa, la de datos y del controlador DMA, lo que permite buscar instrucciones, acceder a datos y efectuar operaciones DMA de forma paralela.

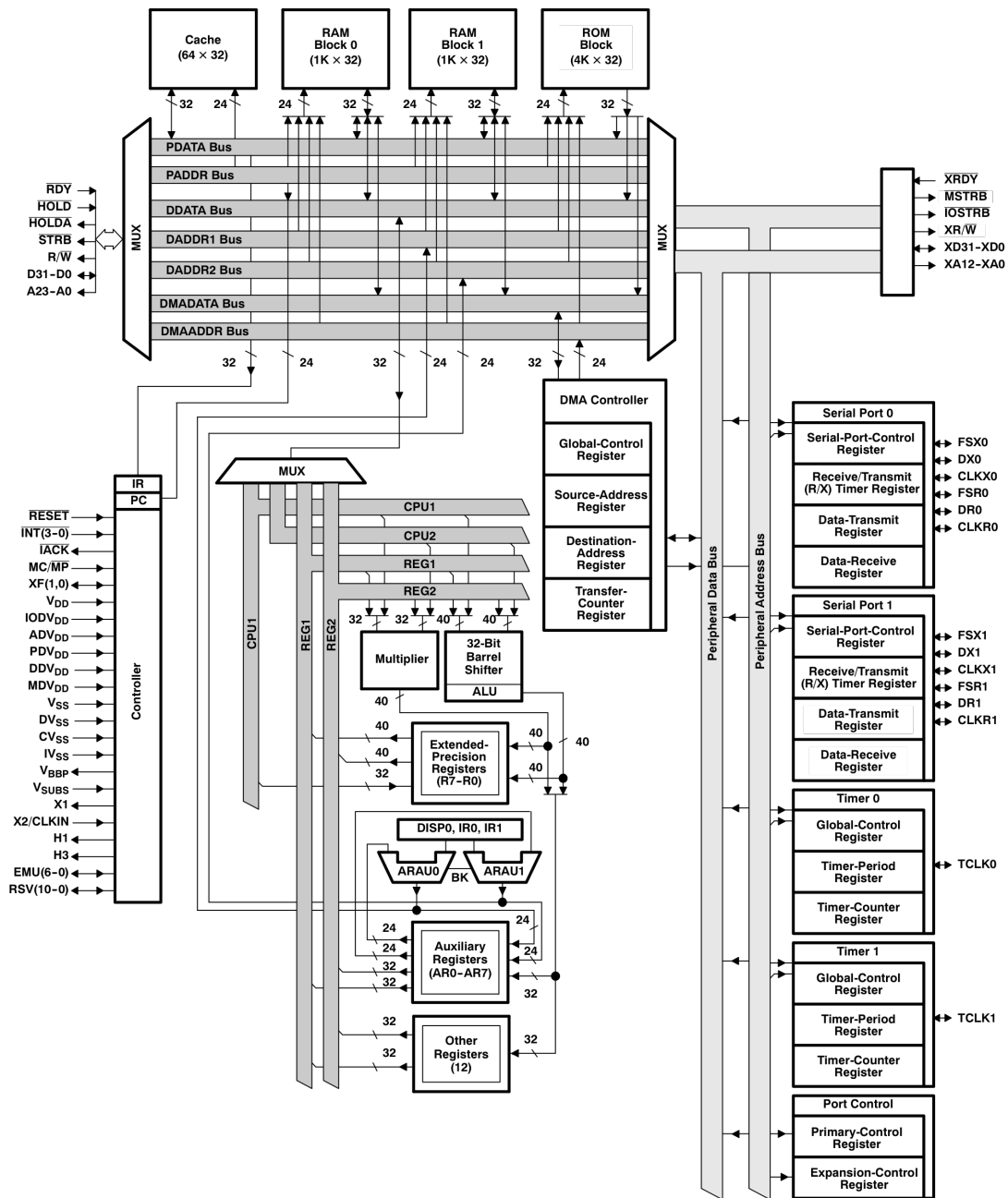


Figura 5.2. Buses internos del TMS320C3x (SMJ320C30DSP. Texas Instruments).

Programa

- Direcciones: PADDR (24 bits). Conectado al PC. Direcciona RAM, ROM y caché.
- Datos: PDATA (32 bits). Proporciona instrucción a IR.

Datos

- Direcciones: DADDR1/DADDR2 (24 *bits*). Direcciona ROM y RAM, con 2 direcciones simultáneamente. Conecta con ARAUs y ARs.
- Datos: DDATA (32 *bits*). Obtiene datos de ROM y RAM. Conecta con CPU1/CPU2.
- CPU1/CPU2: *buses* de datos (32 *bits*) de la CPU.
- REG1/REG2: *buses* de datos (40 *bits*) para conexión con los registros de la CPU.

DMA

Buses de conexión entre periféricos y memoria para acceso DMA independiente.

- Direcciones: DMAADDR (24 *bits*).
- Datos: DMADATA (32 *bits*).

Buses externos

Bus primario: Direcciones (24 *bits*) y datos (32 *bits*).

Bus expansión: Direcciones (13 *bits*) y datos (32 *bits*).
Principalmente para conexión con periféricos.

5.1.2. Unidad Central de Proceso.

La CPU del TMS320C3x engloba multiplicador, ALU, desplazadores, generadores de direcciones, los ficheros de registros y una estructura de *buses* internos. La siguiente figura muestra su estructura interna.

Multiplicador

El multiplicador realiza multiplicaciones enteras (24 *bits*) y de coma flotante (32 *bits*) en un solo ciclo de reloj. Su funcionamiento puede realizarse en paralelo con operaciones de la ALU en el mismo ciclo. Las multiplicaciones de coma flotante utilizan entradas de 32 *bits* y producen un resultado de 40, mientras que en coma fija los datos de entrada son de 24 *bits* y producen resultados de 32 *bits*.

Unidad Aritmético Logica (ALU)

La ALU ejecuta operaciones en un solo ciclo sobre enteros de 32 *bits*, operaciones lógicas de 32 *bits* y operaciones sobre datos en coma flotante de 40 *bits*, incluyendo conversiones entero/coma flotante. El desplazador se utiliza para desplazar a derecha o izquierda hasta 32 *bits* de la palabra en un solo ciclo.

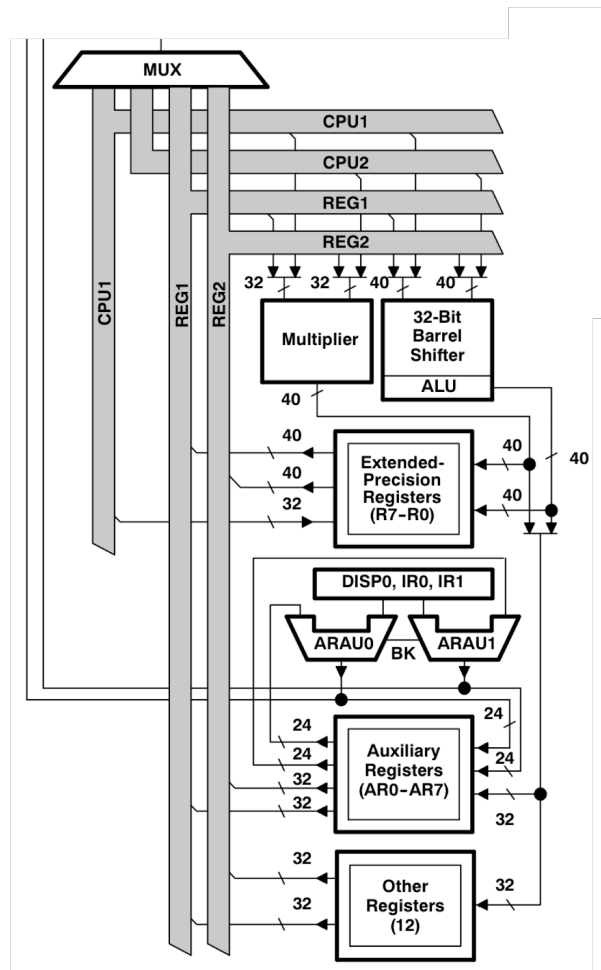


Figura 5.3. Diagrama de bloques de la CPU (SMJ320C30DSP. Texas Instruments).

Los *buses* internos permiten acceder a dos operandos de memoria o del fichero de registros para implementar multiplicaciones y sumas/restas en paralelo, o cuatro operandos enteros en coma fija en un solo ciclo.

Unidades Aritméticas de los Registros Auxiliares (ARAU).

ARAU0 y ARAU1 permiten generar dos direcciones en el mismo ciclo. Las ARAU operan en paralelo con el multiplicador y la ALU. Soportan direccionamiento con desplazamientos, registros índice, gestión de *buffer* circular y bit revertido.

Fichero de Registros de la CPU

El TMS320C30 contiene 28 registros contenidos en un fichero de registros multipuerto. Todos ellos pueden operar con el multiplicador y la ALU, y pueden usarse como registros de propósito general, aunque tienen algunas funciones especiales. Podemos agruparlos en las siguientes clases:

- Registros de precisión extendida (R7-R0): almacenan y soportan operaciones con número enteros de 32 *bits* y de coma flotante de 40 *bits*.
- Registros auxiliares (AR7-AR0): de 32 *bits*, pueden ser modificados por las ARAU. Su función primaria es la generación de direcciones de 24 *bits*. Pueden utilizarse también como contadores de bucle o como registros de propósito general de 32 *bits*, que pueden ser utilizados por el multiplicador o la ALU.
- Registros de direccionamiento: además de los auxiliares, el procesador dispone de otros registros para implementar distintos tipos de direccionamiento:
 - El puntero de página de datos (DP) tiene 32 *bits*, de los cuales los 8 LSB se utilizan en el modo de direccionamiento directo como puntero de página. Las páginas de datos son de 64k palabras, con un total de 256 páginas.
 - Los registros índice (IR0, IR1) de 32 *bits* contienen el valor usado por el ARAU para direccionamiento indexado.
 - El registro de tamaño de bloque (BK) de 32 *bits* lo utiliza el ARAU para direccionamiento circular, indicando el tamaño del bloque de datos.
- Registros de control: que incluyen además de la gestión de la pila, las interrupciones, la E/S, etc., el control de bucles, mediante el contador de repetición (RC), de 32 *bits*, que especifica el número de repeticiones de un bucle de programa, y RS y RE, que definen el comienzo y fin, permitiendo así bucles multiinstrucción.

5.1.3. Organización de memoria

Los espacios de programa, datos y E/S están contenidos en el espacio total direccionable de 16M palabras del TMS320C30.

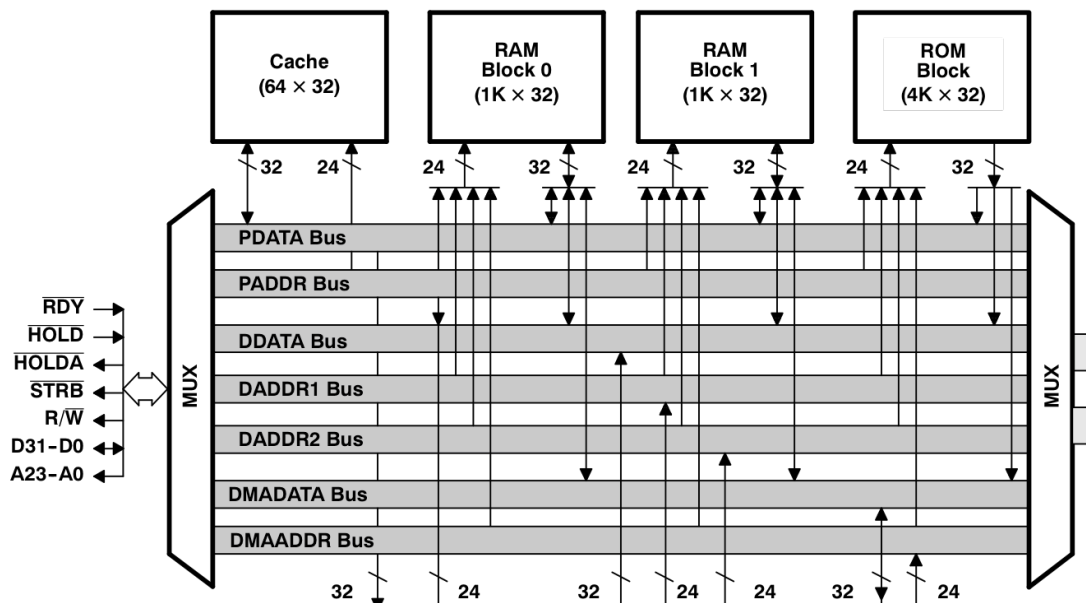


Figura 5.4. Organización de memoria (SMJ320C30DSP. Texas Instruments).

RAM, ROM y caché

La figura 5.4 muestra la organización de la memoria interna del procesador. Tanto la RAM (bloques 0 y 1, cada uno de 1k palabras), como la ROM (de 4k palabras) es bipuerto, soportando dos accesos de la CPU en el mismo ciclo. Los buses de programa, datos y DMA separados permiten simultáneamente búsquedas de instrucción, lectura/escritura de datos y operaciones DMA.

Existe una caché de instrucciones de 64 palabras para almacenar temporalmente las secciones de código más frecuentemente utilizadas, reduciendo los accesos a memoria principal y permitiendo así la utilización de tecnologías más lentas. La caché puede operar de forma automática completamente transparente al usuario. Está dividida en dos segmentos de 32 palabras cada uno, y utiliza un algoritmo LRU para reemplazamiento de los segmentos en caso de no hallarse presente el código en un acceso.

Mapas de memoria

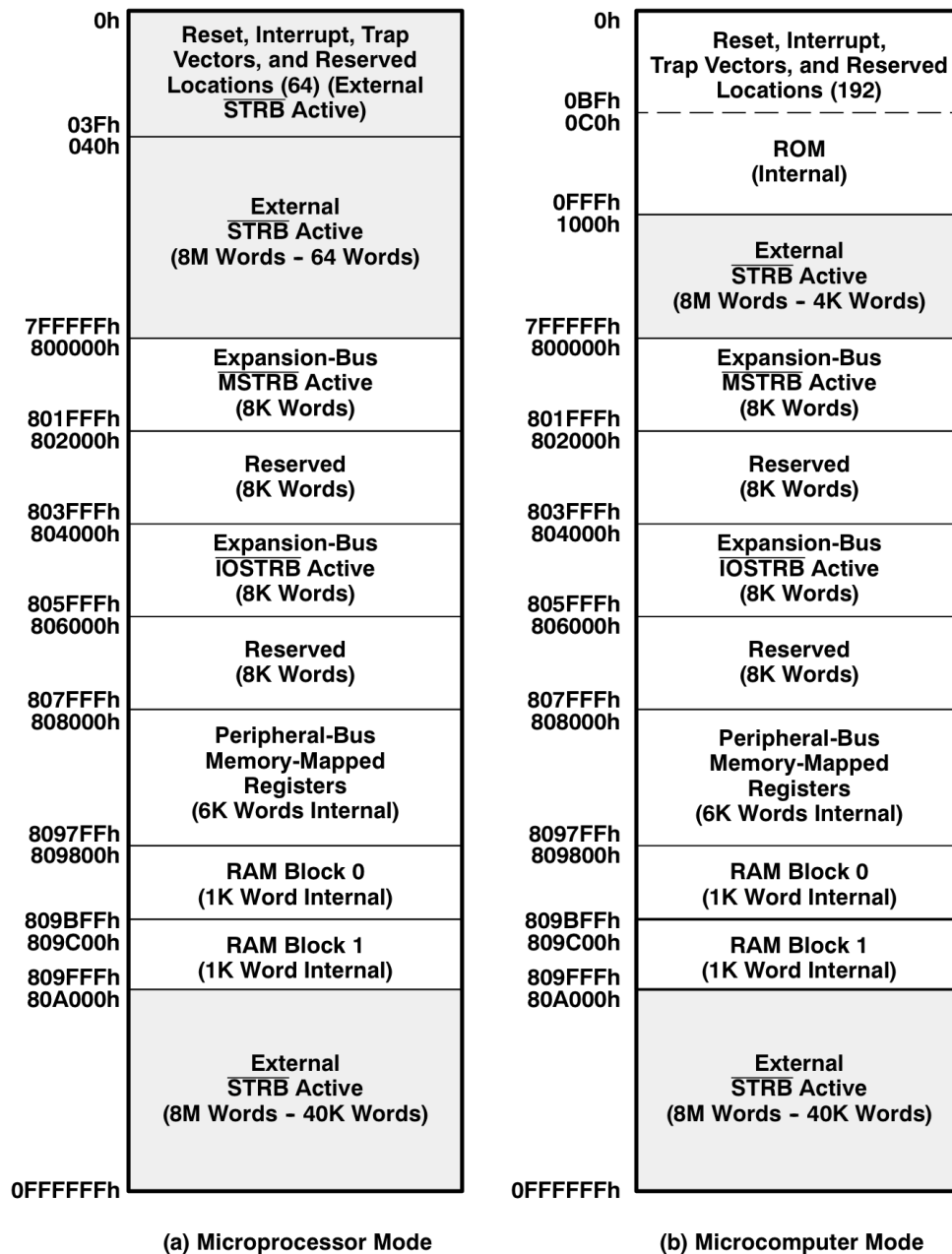


Figura 5.5. Mapas de memoria (SMJ320C30DSP. Texas Instruments).

El mapa de memoria depende del modo de funcionamiento del procesador. Las direcciones 800000h-801FFFh corresponde a áreas de memoria del *bus* de expansión, mientras que las 804000h-805FFFh corresponden a áreas de E/S del mismo *bus*.

Las posiciones 808000h-8097FFh corresponden a los registros mapeados que controlan los periféricos internos. Las posiciones 000h-0BFh están reservadas para los vectores de interrupción.

5.6.4. Control.

El controlador del TMS320C3x gestiona las siguientes funciones:

- Control *pipeline*: la *pipeline* es de 4 etapas: 1) Búsqueda instrucción; 2) Decodificación; 3) Búsqueda de operandos; 4) Ejecución. Prioriza las etapas y resuelve conflictos posibles con DMA (menor prioridad). Las operaciones de salto pueden ser estándar o retardada.
- Control de bucles multiinstrucción.
- Control de interrupciones: soporta 4 interrupciones externas, diversas interrupciones internas y una señal externa no enmascarable RESET.
- Control de modo de funcionamiento multiprocesador.

5.6.5. Periféricos

El TMS320C30 integra dos contadores, dos puertos serie y un controlador de DMA. Todos ellos están controlados por registros mapeados, y disponen de un *bus* específico que permite comunicación independiente.

Temporizadores

Los temporizadores son contadores/temporizadores de 32 *bits* de propósito general. Pueden utilizar reloj interno o externo. El procesador los utiliza para generar la frecuencia de muestreo de un conversor A/D, o para producir una interrupción al controlador de DMA que comience una transferencia de datos. Con reloj externo, los temporizadores se pueden utilizar como contadores de eventos, que produzcan una interrupción cuando se alcance determinada cuenta programada.

Puertos serie

El TMS320C30 dispone de dos puertos serie bidireccionales totalmente independientes. Cada puerto puede configurarse para transferencias de 8, 16, 24 o 32 *bits* por palabra en ambas direcciones. El reloj puede configurarse internamente utilizando alguno de los temporizadores, o externamente. Pueden trabajar en modo de transferencia continua, lo que permite transmitir y recibir cualquier número de palabras sin nuevos pulsos de sincronización.

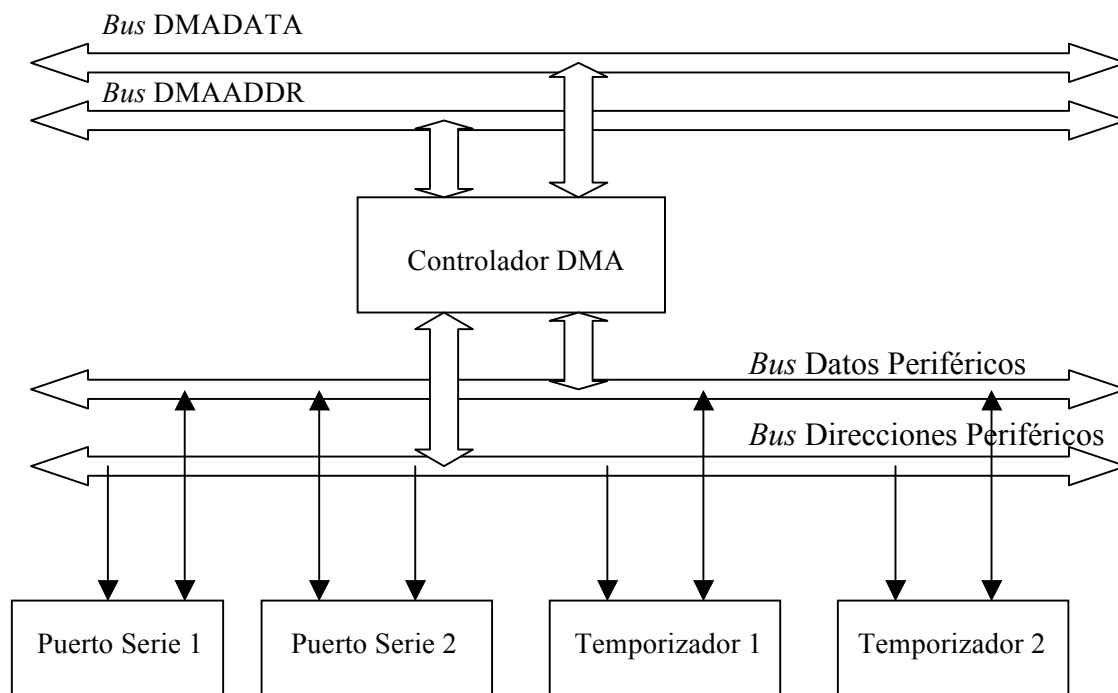


Figura 5.6. Periféricos del TMS320C3x.

Controlador DMA

El controlador interno de DMA permite realizar accesos E/S sin interferir con la CPU, permitiendo así transferencias entre memorias y periféricos (ADC, puertos serie, etc.) lentos sin reducir la capacidad computacional de la CPU.

El controlador contiene sus propios generadores de direcciones, registros fuente y destino, y contador de transferencias. El controlador puede acceder a cualquier posición del mapa de memoria, incluyendo los periféricos mapeados, a través de *buses* dedicados que minimiza los conflictos de acceso entre controlador y CPU. Las operaciones DMA son transferencia de bloques o palabras de datos a o desde memoria.

5.2. DSP TMS320C6000

La familia TMS320C6000 de Texas Instruments aparece en 1997 e incluye tres subfamilias, dos de coma fija y una de coma flotante que comparten una estructura común y son compatibles a nivel de código, lo que simplifica el cambio de aplicaciones entre tipos de procesador.

Utiliza una arquitectura multiinstrucción (VelociTI™), de tipo VLIW. Existen básicamente dos arquitecturas que trabajan con múltiples instrucciones simultáneamente: VLIW (Very Long Instruction Word) y superescalar. Esta última se utiliza en procesadores de propósito general, mientras que la primera es la que se utiliza usualmente en DSPs. En ambos casos, se realiza una búsqueda de instrucciones en paquetes, de manera que la CPU puede ejecutar varias en paralelo. La diferencia entre ambas arquitecturas está en la forma en que se agrupan estas instrucciones para su ejecución. Mientras en el caso superescalar existe una unidad *hardware* encargada de decidir la agrupación de instrucciones basándose en los recursos disponibles y los posibles conflictos, en el caso VLIW esta agrupación se realiza en la fase de compilación o ensamblaje del código. La razón principal es que en aplicaciones de procesado digital en estricto tiempo real, tales como las usualmente implementadas en DSPs, la temporización en la ejecución de instrucciones debe ser totalmente predecible, cosa que no ocurre cuando se utiliza una arquitectura superescalar, ya que la combinación es dinámica y se realiza en tiempo de ejecución.

La utilización de arquitecturas VLIW implica incrementar el número de unidades funcionales del procesador. Por ello, en esta familia el núcleo procesador contiene ocho unidades funcionales (dos multiplicadores y seis ALUs), y la arquitectura permite realizar una búsqueda de instrucciones en paquetes de hasta 8 instrucciones controlando en paralelo cada una de las unidades funcionales, lo que permite ejecutar hasta ocho instrucciones por ciclo.

Las familias de coma fija son la TMS320C62x y la TMS320C64x. La TMS320C67x es la versión en coma flotante, para la cual 6 de las 8 unidades funcionales del procesador son de coma flotante y 2 de coma fija, lo que le permite ejecutar el código de las familias de coma fija.

5.2.1. Estructura

La estructura interna de la familia TMS320C6000 se muestra en la siguiente figura. La CPU contiene dos *buses* de datos, cada uno de los cuales está conectado a cuatro unidades funcionales. Dispone también de una unidad de búsqueda de instrucciones, otra de distribución de instrucciones entre las diversas unidades funcionales y una de decodificación. Los ficheros de registros contienen los registros de

control y 32 registros de 32 bits para otras funciones. Por último, incluye la lógica de control, interrupciones y emulación.

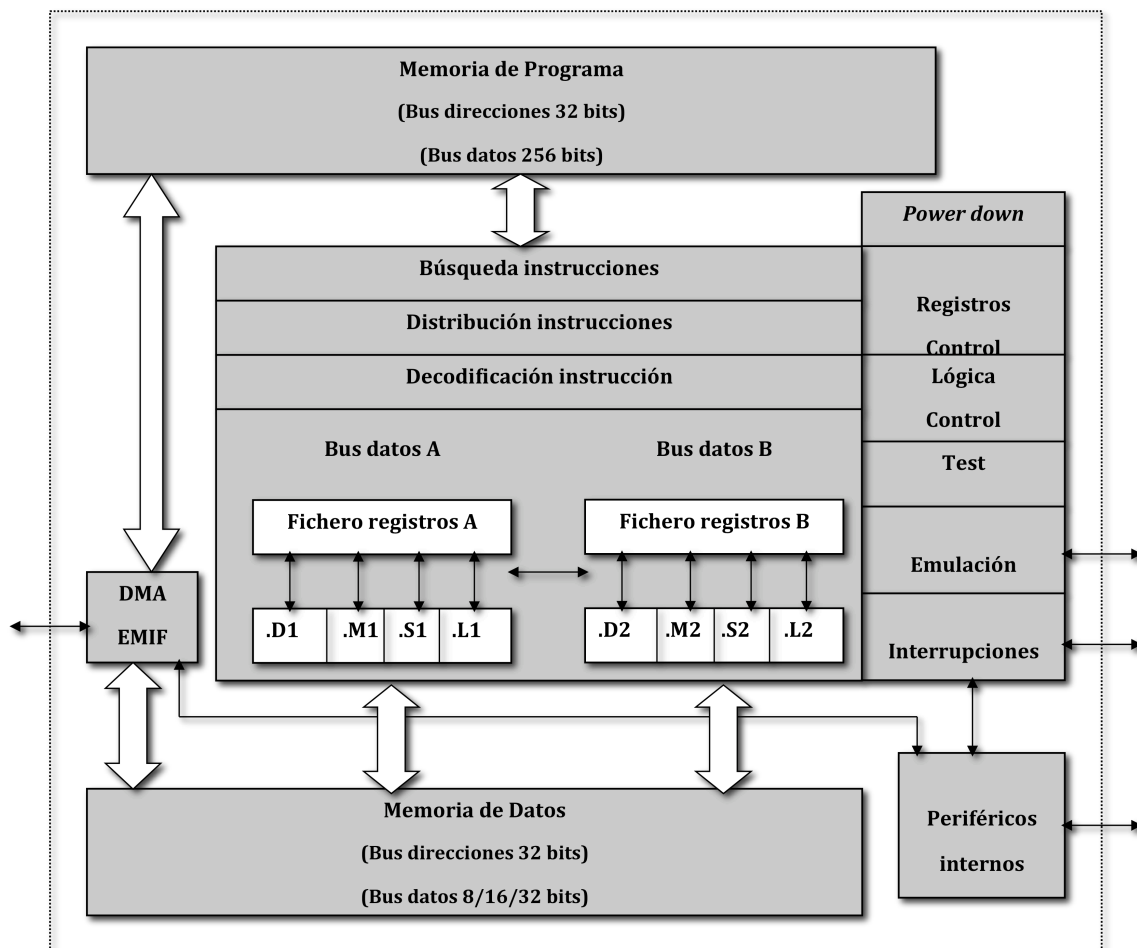


Figura 5.7. Diagrama de bloques del TMS320C6000.

La TMS320C6000 utiliza arquitectura Harvard para la memoria interna, con espacios separados de datos y programa. Externamente utiliza un único espacio común de direcciones, unificado mediante el *interface* de memoria externa (EMIF: *external memory interface*). El acceso a la memoria de programa interna se realiza mediante un *bus* de 256 bits, lo que le permite acceder hasta 8 instrucciones simultáneamente. El acceso a la memoria de datos interna se realiza mediante cuatro *buses* de 32 bits.

Los periféricos internos incluyen temporizadores, puertos serie, controlador DMA avanzado de 16 canales y puerto *host*.

5.2.2. Unidad Central de Proceso

Unidades funcionales

La CPU contiene ocho unidades funcionales:

- Unidades .L (.L1-.L2): ALUs de cálculo de 40 bits. Se utilizan para operaciones aritméticas y de comparación de 32/40 bits, operaciones lógicas de 32 bits, operaciones de bits, normalización y soportan aritmética saturada.
- Unidades .M (.M1-.M2): multiplicadores hardware. Admiten diversos formatos de entrada desde 8·8 hasta 32·32 bits, en coma fija o flotante dependiendo de la familia.
- Unidades .S (.S1-.S2): contienen ALUs de cálculo de 32 bits y desplazadores de 40 bits, utilizados para operaciones aritméticas y de bits de 32 bits, desplazamientos de 32/40 bits, saltos (sólo .S2 en combinación con un registro) y transferencias entre registros de uso general y registros de control (sólo .S2).
- Unidades .D (.D1-.D2): contienen ALUs utilizadas fundamentalmente para cálculos de direcciones de datos e implementación de buffers circulares.

Registros

Existen dos ficheros de registros de aplicación general (A y B). Cada fichero de registros contiene 16 registros de 32 bits (A0-A15 y B0-B15), de propósito general. Las unidades funcionales están organizadas en dos grupos. Cada unidad funcional utiliza el fichero correspondiente a su índice (las unidades acabadas en 1 trabajan con el fichero A, y las acabadas en 2 con el B).

Los registros de propósito general pueden utilizarse para datos, punteros de direcciones o como registros condicionales (sólo A1, A2, B0, B1 y B2).

Pueden concatenarse para almacenar datos de más de 32 bits (por ejemplo, cantidades de 40 o 64 bits en cálculos de doble precisión), aunque sólo las unidades .L y .S soportan estas operaciones de precisión extendida.

Buses

Existen cuatro tipos de buses, duplicados según la estructura dual del procesador:

- Cuatro buses de carga de datos desde memoria (LD1a, LD1b, LD2a, LD2b).

- Dos buses de almacenamiento de datos en memoria (ST1, ST2).
- Dos buses de direcciones de datos (DA1, DA2).
- Dos buses de interconexión de los registros de datos (1X, 2X).

El TMS320C6000 dispone de cuatro buses de carga de datos desde memoria que permiten la carga simultánea de 2 operandos de 32 bits en cada uno de los ficheros de registros (LDxa para la carga de los 32 bits menos significativos y LDxb para los 32 más significativos). Los dos buses ST1 y ST2 permiten el almacenamiento de resultados en memoria.

Los buses de direcciones DA1 y DA2 están conectados a las unidades generadoras de direcciones (.D). Los buses de direcciones y carga/almacenamiento de datos correspondientes a cada grupo se especifican conjuntamente como T1 y T2 (por ejemplo, T1 es la estructura de interconexión compuesta de LD1a, LD1b, ST1 y DA1). Las unidades generadoras pueden utilizarse de forma combinada con los buses de direcciones (por ejemplo, .D1T2 indicaría una dirección generada por .D1 y transmitida por T2).

La conexión cruzada entre los dos ficheros de registros se realiza mediante los buses 1X y 2X, lo que permite a las unidades de un grupo acceder a datos del otro grupo.

Control

El fichero de registros de control incluye diversos registros para controlar el funcionamiento del procesador. Entre ellos, podemos destacar el registro de modo de direccionamiento (que especifica direccionamiento lineal o circular), el de estado, los registros asociados al control de interrupciones (flags de interrupción, activación o desactivación, etc.), control de operación en coma flotante (que controlan el funcionamiento de las unidades .M y .L) y el contador de programa. Estos registros pueden modificarse mediante la unidad .S2.

La *pipeline* del TMS320C6000 consta de 3 fases: búsqueda, decodificación y ejecución. Las dos primeras consumen el mismo número de ciclos de reloj para todas las instrucciones, y la última varía en función del tipo de instrucción a ejecutar. Durante la fase de búsqueda, el procesador utiliza un paquete de búsqueda de ocho instrucciones. En la fase de decodificación, el paquete de búsqueda se divide en paquetes de ejecución. Un paquete de ejecución puede constar de una única instrucción o de hasta un máximo de ocho, dependiendo del caso. Posteriormente se asignan las instrucciones a las unidades funcionales apropiadas. Por último, se ejecutan en la última fase de la *pipeline*, que, en función de la instrucción a procesar, puede constar hasta de 10 subfases.

Interrupciones

Existen tres tipos de interrupciones en el TMS320C6000: RESET, una interrupción no enmascarable (NMI) y 12 interrupciones enmascarables (INT4-INT15). Las fuentes de interrupción en algunos casos son externas (corresponden a pines de entrada del procesador, como ocurre en RESET, NMI y algunas INT), están asociadas a periféricos internos o se producen bajo control *software*. La interrupción RESET es la de máxima prioridad, seguida por la NMI y las enmascarables, desde INT4 a INT15. NMI se reserva generalmente para alertar a la CPU de problemas *hardware* importantes. Las interrupciones enmascarables pueden activarse global o individualmente.

El tratamiento de interrupciones es vectorizado, y tras una interrupción la CPU referencia la tabla de servicio de interrupciones (IST), donde se dispone de 32 posiciones para cada una de las interrupciones posibles, lo que permite que puedan acomodarse hasta 8 instrucciones (ISFP: *Interrupt Service Fetch Packet*). En caso de que la rutina de servicio necesite más instrucciones, se puede colocar una instrucción de salto a dicha rutina localizada en otra posición de memoria, y que contendrá la instrucción de retorno de interrupción.

La tabla está contenida en memoria de programa a partir de la dirección 000h, correspondiente a la interrupción de RESET. No obstante, puede relocalizarse en otras posiciones en determinados casos, por ejemplo para permitir disponer de los vectores de interrupción en una memoria más rápida o para disponer de diferentes tablas de vectores asociadas a diferentes tareas. Para ello, el procesador dispone de un registro puntero de tabla de servicio de interrupciones (ISTP), cuyo contenido se determina por la combinación de la dirección base de tabla de servicio de interrupciones (ISTB) y el código correspondiente a la interrupción de mayor prioridad (HPEINT: *Highest Priority Enabled Interrupt*). La siguiente figura muestra la estructura del ISTP.

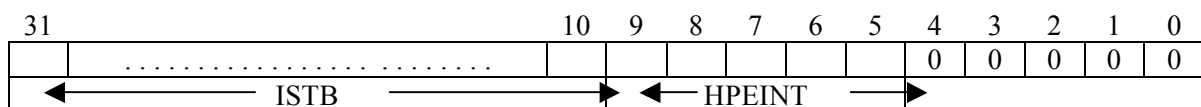


Figura 5.8. Formato del registro puntero de tabla de servicio de interrupciones (ISTP).

Otros registros asociados con la gestión de interrupciones son:

- Registro de activación de interrupción (IER: *Interrupt Enable Register*): cada bit activa independientemente una fuente de interrupción.
- Registro de indicadores de interrupción (IFR: *Interrupt Flag Register*): cada bit representa el reconocimiento de una interrupción válida. Puede leerse pero no puede ser escrito por el usuario.

- Registro de escritura de interrupción (ISR: *Interrupt Set Register*) y registro de borrado de interrupción (ICR: *Interrupt Clear Register*): permiten modificar el registro IFR.

Las interrupciones seleccionadas pueden activarse o desactivarse globalmente mediante el indicador GIE (*Global Interrupt Enable*) del registro de control de estado (CSR) del procesador.

5.2.3. Memoria

La familia TMS320C6000 tiene un espacio de memoria direccionable máximo de 4 GB dividido en 4 espacios: tres internos (memoria de programa, de datos y periféricos internos), y uno externo con acceso común a programa y datos a través del *interface* de memoria externa (EMIF).

La estructura de la memoria interna varía en función de la subfamilia. Podemos distinguir dos grupos:

- TMS320C620x y TMS320C670x: La memoria interna de programa puede direccionarse dentro del mapa de memoria del procesador o programarse como caché. La memoria de datos interna está dividida en bancos de 16 bits, permitiendo acceso simultáneo a bancos diferentes por parte de la CPU y del controlador DMA.
- TMS320C621x, TMS320C64x y TMS320C671x: Existe una caché interna de primer nivel (L1), dividida a su vez en caché de programa (L1P) y de datos (L1D). Este nivel de caché no está incluido en el mapa de memoria del procesador, y sólo es accesible por la CPU. El resto de memoria interna está unificado en un único espacio de direcciones de programa y datos, que puede utilizarse como caché de segundo nivel (L2), como memoria interna o como una combinación de ambas.

Para las familias TMS320C621x y TMS320C671x, L1P es una caché de mapeado directo con 4 kbytes divididos en 64 slots de 64 bytes cada uno. L1D está estructurada como caché de conjuntos asociativos de 2 vías, y dispone de dos puertos por lo que soporta dos accesos simultáneos en el mismo ciclo. El algoritmo de reemplazamiento utilizado es el LRU.

Los 64 kbytes restantes están unificados en un único espacio de direcciones, dividida en cuatro bancos de 8 kbytes que pueden utilizarse como caché de segundo nivel (L2), como memoria interna o como una combinación de ambas.

La siguiente figura muestra la estructura de memoria interna. El acceso a la memoria L2 y externa se realiza a través del controlador de caché L2, el cual controla las transferencias con el nivel L1 mediante los controladores de caché de programa

(L1P) y de datos (L1D). Estos últimos son los que controlan los accesos de la CPU a L1.

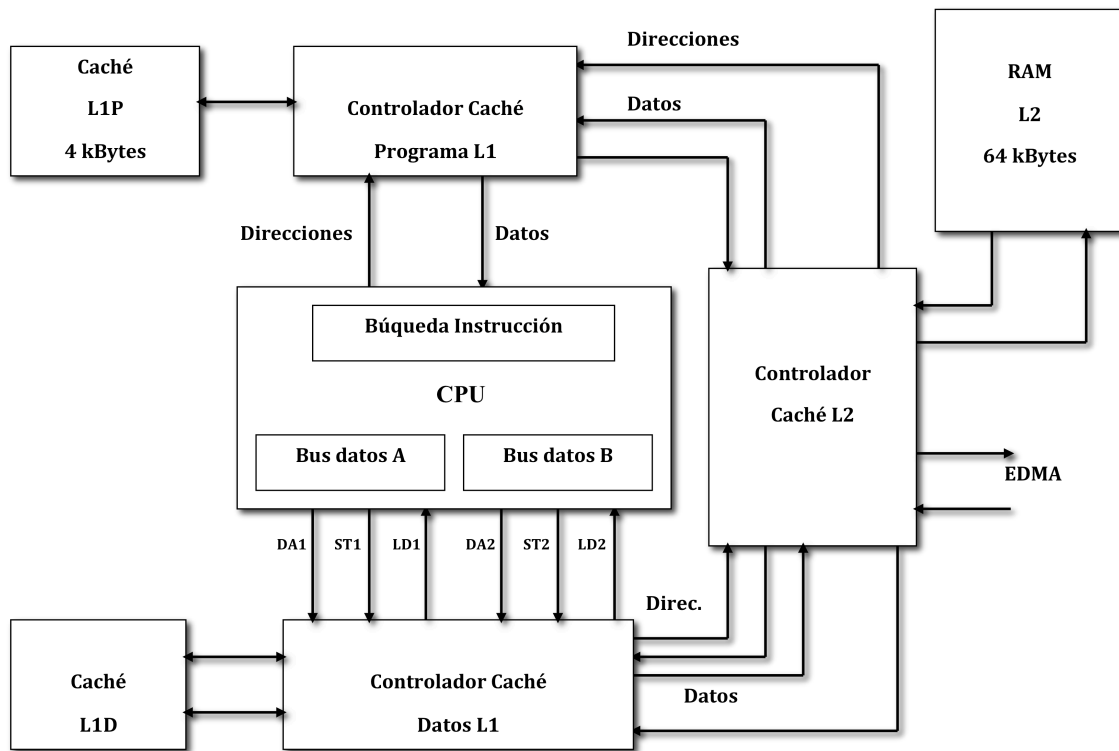


Figura 5.9. Diagrama de bloques de la estructura de memoria interna.

Mapas de memoria

Los mapas de memoria varían en función de la subfamilia. Podemos distinguir dos grupos:

- TMS320C620x y TMS320C670x: dispone de dos mapas de memoria. MAP 0 tienen memoria externa mapeada en la dirección 0, y MAP 1 tiene memoria interna.
- TMS320C621x, TMS320C64x y TMS320C671x: disponen de un único mapa de memoria. La dirección 0 corresponde siempre a memoria interna, pero puede utilizarse tanto como memoria de programa o de datos.

Las siguientes tablas muestran los mapas de memoria de ambos grupos. Las variaciones de tamaño de cada bloque de memoria corresponden a diferentes dispositivos.

RANGO DIRECCIONES	TAMAÑO (Bytes)	DESCRIPCIÓN	
		Mapa 0	Mapa 1
00000000 – 0000FFFF	64K	Interface memoria externa CE 0	RAM programa interna
00010000 – 003FFFFF	4M–64K	Interface memoria externa CE 0	Reservado
00400000 – 00FFFFFF	12M	Interface memoria externa CE 0	Interface memoria externa CE 0
01000000 – 013FFFFF	4M	Interface memoria externa CE 1	Interface memoria externa CE 0
01400000 – 0140FFFF	64K	RAM programa interna	Interface memoria externa CE 1
01410000 – 017FFFFF	4M–64K	Reservado	Interface memoria externa CE 1
01800000 – 0183FFFF	256K	Registros bus periféricos internos EMIF	
01840000 – 0187FFFF	256K	Registros bus periféricos internos controlador DMA	
01880000 – 018BFFFF	256K	Registros bus periféricos internos HPI (C6201/C6701) o XBUS (C6204)	
018C0000 – 018FFFFF	256K	Registros bus periféricos internos McBSP 0	
01900000 – 0193FFFF	256K	Registros bus periféricos internos McBSP 1	
01940000 – 0197FFFF	256K	Registros bus periféricos internos Timer 0	
01980000 – 019BFFFF	256K	Registros bus periféricos internos Timer 1	
019C0000 – 019FFFFF	256K	Registros bus periféricos internos selector interrupciones	
01A00000 – 01A3FFFF	256K	Reservado	
01A40000 – 01A8FFFF	320K	Registros bus periféricos internos PCI (C6205)	
01A90000 – 01FFFFFF	6M–576K	Bus periféricos internos (Reservado)	
02000000 – 02FFFFFF	16M	Interface memoria externa CE 2	
03000000 – 03FFFFFF	16M	Interface memoria externa CE 3	
04000000 – 3FFFFFFF	1G–64M	Reservado	
40000000 – 4FFFFFFF	256M	Bus expansión XCE0 (C6204)	
50000000 – 5FFFFFFF	256M	Bus expansión XCE1 (C6204)	
60000000 – 6FFFFFFF	256M	Bus expansión XCE2 (C6204)	
70000000 – 7FFFFFFF	256M	Bus expansión XCE3 (C6204)	
80000000 – 8000FFFF	64K	RAM datos interna	
80010000 – FFFFFFFF	2G–64K	Reservado	

Tabla 5.1. Mapa de memoria para las familias TMS320C620x/C670x.

RANGO DIRECCIONES	TAMAÑO (Bytes)	DESCRIPCIÓN
00000000 – 0000FFFF	64K	RAM interna (L2)
00010000 – 017FFFFF	24M–64K	Reservado
01800000 – 0183FFFF	256K	Registros configuración bus EMIF
01840000 – 0187FFFF	256K	Registros control configuración bus L2
01880000 – 018BFFFF	256K	Registros configuración bus HPI register
018C0000 – 018FFFFF	256K	Registros configuración bus McBSP 0
01900000 – 0193FFFF	256K	Registros configuración bus McBSP 1
01940000 – 0197FFFF	256K	Registros configuración bus timer 0
01980000 – 019BFFFF	256K	Registros configuración bus timer 1
019C0000 – 019FFFFF	256K	Registros configuración bus interrupt selector
01A00000 – 01A3FFFF	256K	Registros configuración bus EDMA RAM and
01A40000 – 01FFFFFF	6M–256K	Reservado
02000000 – 02000033	52	Registros QDMA
02000034 – 2FFFFFFF	736M–52	Reservado
30000000 – 3FFFFFFF	256M	Datos McBSP 0/1
40000000 – 7FFFFFFF	1G	Reservado
80000000 – 8FFFFFFF	256M	Interface memoria externa CE0
90000000 – 9FFFFFFF	256M	Interface memoria externa CE1
A0000000 – AFFFFFFF	256M	Interface memoria externa CE2
B0000000 – BFFFFFFF	256M	Interface memoria externa CE3
C0000000 – FFFFFFFF	1G	Reservado

Tabla 5.2. Mapa de memoria para las familias TMS320C621x/C671x.

El control de configuración de arranque permite configurar el funcionamiento del procesador tras un reset, incluyendo:

- Selección del mapa de memoria.
- Selección del tipo de memoria externa mapeada en la dirección 0.
- Selección de la opción de carga del programa de inicialización del DSP: desde ROM externa o desde un host a través del puerto host o del bus de expansión.
- Configuración del dispositivo, incluyendo modo de entrada de reloj (que controla el PLL que lo genera), modo *endian* (para configurar el modo de operación *big* o *little endian*), etc.

5.2.4. Perifèrics

La familia TMS320C6000 dispone de diversos tipos de perifèrics integrados, en diferentes combinaciones dependiendo del dispositivo. Estos perifèrics son programables por el usuario mediante registros de control mapeados en memoria. El controlador del bus de perifèrics arbitra el acceso a los mismos. Podemos destacar:

- Puertos serie (McBSP: multichannel buffered serial port). Proporcionan comunicaci3n *full-duplex*, generaci3n de sincronismo independiente para cada canal, programaci3n de tama1o de datos (8/12/16/20/24/32 bits), interface directa con codecs, conversores A/D y D/A serie, y otros dispositivos y buses serie est1andar, companding (μ y A).
- Controlador DMA: dispone de 4 canales programables, m1s uno auxiliar para acceso desde el puerto host a la memoria del procesador. Las familias TMS320C621x, C6271x y C64x disponen de un controlador de acceso a memoria mejorado (EDMA), con 16 canales (para C621x y C6271x) o 64 canales (C64x) adem1s de memoria RAM para guardar la programaci3n de futuras transferencias.
- Temporizadores internos de prop3sito general de 32 bits utilizados para generar pulsos, contar eventos, producir interrupciones y generar sincronismo para el controlador DMA.
- Puerto Host paralelo. El host act1a como master del interface, y puede acceder a la memoria externa o interna para intercambiar informaci3n con el DSP, as1 como a los perifèrics internos.
- Bus de expansi3n de perifèrics. Permite reemplazar al puerto host con diferentes protocolos s1ncronos y as1ncronos, tanto en modo maestro como esclavo. Act1a tambi3n como una expansi3n del interface de memoria externa (EMIF), permitiendo la conexi3n de perifèrics externos.
- Bus PCI. Soporta conexi3n a un bus PCI.
- L3gica de control de bajo consumo.

5.3. Otros procesadores de coma fija y flotante.

Actualmente, varios fabricantes de circuitos integrados ofrecen familias de procesadores DSP. Centr1ndonos en el caso de coma fija, podemos distinguir las siguientes clases: n1cleos DSP, *chip sets*, coprocesadores y procesadores DSP. A continuaci3n se presentan las caracter1sticas m1s importantes de las distintas familias.

Núcleos DSP

- Teak, Pine, Oak y Palm de DSP Group. Los tres primeros tienen 16 bits de palabra de instrucción y de datos (Palm se presenta en versiones de 16, 20 y 24 bits). Acumulador de 36 bits (4 bits de guarda). Desplazador de 36 bits (Oak). Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. 64 *kbytes* de espacio direccionable de datos y de instrucciones externo. 8/0 niveles de pila hardware (Oak utiliza pila software). Contador de bucle. Soporte multiproceso. Oak dispone de unidades de bit. Palm incluye 7 ALUs, soporta varias instrucciones transferidas en paralelo (MPI: Multi-Parallel Instructions) y permite un direccionamiento externo de hasta 16M palabras.
- DSP16xx de Lucent Technologies. Tiene 16 bits de palabra de instrucción y de datos. Dos acumuladores de 36 bits (4 bits de guarda). Desplazador de 36 bits. Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. 64 *kbytes* de espacio direccionable externo. RAM bipuerto. Caché de instrucciones de 15 palabras. 0 niveles de pila hardware (utiliza pila software). Puerto *host* serie. Bajo consumo. Variantes: 40-120 MHz, 4k – 72k palabras ROM, 2k – 32k palabras RAM, 1-2 temporizadores, 2 puertos serie, controlador DRAM, PLL, unidad de bit, controlador DMA.
- DSP16000 de Lucent Technologies. Compatible ascendentemente con el DSP16xx. Las principales diferencias son: dos MAC. 32 bits de palabra de instrucción y 16 bits de datos. Ocho acumuladores de 40 bits (8 bits de guarda). 1M palabras de espacio direccionable externo. Caché de instrucciones de 31 palabras.
- μ PD7701x de NEC. Tiene 32 bits de palabra de instrucción y 16 bits de palabra de datos. 8 acumuladores de 40 bits (8 bits de guarda). Desplazador de 40 bits. Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. 96 *kbytes* de espacio direccionable de datos y 96 *kbytes* de instrucciones externo. 15 niveles de pila hardware. Contador de bucle. Temporizador. Soporte multiproceso. 2 puertos serie. Puerto *host* paralelo y serie. Puerto de bit (8). Variantes: 33 MHz, 4k palabras – 24k palabras ROM, 1.5k palabras – 6k palabras RAM.
- REAL DSP de Phillips. Tiene 16 bits de palabra de instrucción y de datos. Dos acumuladores de 40 bits (8 bits de guarda). Desplazador de 16 bits. Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. El núcleo permite añadir unidades de ejecución para aplicaciones específicas.

Chips sets

- BDSP9xV2x de Sharp Butterfly and DSP Architectures es un chip set formado por el DSP BDSP91V2 y el gestor de memoria BDSP93V20. 24 bits de palabra de instrucción y de datos. Dos acumuladores de 60 bits. 1M palabras de espacio direccionable externo. Orientado a procesamiento paralelo.

Coprocesadores

- SH-DSP de Hitachi. Funciona como coprocesador DSP del microprocesador RISC SH. Tiene 32 bits de palabra de instrucción y de datos. 2 acumuladores de 40 bits (8 bits de guarda). Desplazador de 40 bits. Dos generadores de direcciones. Un *bus* de instrucciones y tres de datos. 64 *Mbytes* de espacio direccionable externo. 0 niveles de pila hardware (utiliza pila software). Contador de bucle. Variantes: 60 MHz, 12k palabras ROM, 4k palabras RAM, 3 temporizadores, 3 puertos serie, 2 puertos de comunicaciones, controlador DMA.

Procesadores DSP

- ADSP-2100 de Analog Devices. Tiene 24 bits de palabra de instrucción y 16 bits de palabra de datos. Acumulador de 40 bits (8 bits de guarda). Desplazador de 32 bits. Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. 4 *Mbytes* de espacio direccionable externo. 16 niveles de pila hardware. Contador de bucle. Temporizador. Variantes: 10-52 MHz, 4k palabras – 12k palabras ROM, 512 palabras – 32k palabras RAM, 1-2 puertos serie, controlador DMA. Puerto *host* paralelo. ADC y DAC de 16 bits.
- TigerSharc de Analog Devices. Utiliza estructura VLIW (Very Long Instruction Word), leyendo en cada ciclo de búsqueda una palabra compuesta por varias instrucciones que pueden hacer trabajar en paralelo las dos unidades funcionales internas del procesador. Cada unidad está compuesta por un multiplicador, una ALU y un desplazador de 64 bits. Dos generadores de direcciones que utilizan *buses* de datos internos de 128 bits para transferir hasta 256 bits de datos en cada ciclo, incrementando el ancho de banda hasta 12 *Gbytes/seg*. Controlador DMA de 14 canales.
- DSP568xx de Motorola. Tiene 16 bits de palabra de instrucción y de datos. 2 acumuladores de 36 bits (4 bits de guarda). Desplazador de 16 bits. Dos generadores de direcciones. Un *bus* de instrucciones y tres de datos. 128 *kbytes* de espacio direccionable de datos y 1 *Mbyte* de instrucciones externo. Pila software. Aritmética saturada. Contador de bucle (múltiples instrucciones). Soporte multiproceso. Variantes: 40 MHz, 3k palabras RAM, 3 temporizadores, 2 puertos serie, puerto bits (32), PLL.
- DSP5600x de Motorola. Tiene 24 bits de palabra de instrucción y de datos. Dos acumuladores de 56 bits (8 bits de guarda). Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. 256 *kbytes* de espacio direccionable de datos y 128 *kbytes* de instrucciones externo. 15 niveles de pila hardware. Contador de bucle. Temporizador. PLL. Puerto *host* paralelo.
- DSP563xx de Motorola. Versión mejorada del DSP5600x. Tiene 24 bits de palabra de instrucción y de datos. Acumulador de 56 bits (8 bits de guarda).

Desplazador de 56 bits. Dos generadores de direcciones. Un *bus* de instrucciones y tres de datos. 16M palabras (x 3) de espacio direccionable externo. Caché de programa de 3 *kbytes*. 16 niveles de pila hardware. Pila software. Contador de bucle. Temporizador. PLL. Soporte multiproceso. Puerto *host*. Controlador DMA de 6 canales.

- TMS320C1x de Texas Instruments. Tiene 16 bits de palabra de instrucción y de datos. Acumulador de 32 bits. Desplazador de 16 bits. Un generador de direcciones. Un *bus* de instrucciones y uno de datos. 128 *kbytes* de espacio direccionable externo. 4-8 niveles de pila hardware. Temporizador.
- TMS320C2x de Texas Instruments. (ver sección anterior).
- TMS320C2xx de Texas Instruments. Versión mejorada del TMS320C2x. Tiene 16 bits de palabra de instrucción y de datos. Acumulador de 32 bits. Desplazador de 16 bits. Un generador de direcciones. Un *bus* de instrucciones y dos de datos. 348 *kbytes* de espacio direccionable externo. 8 niveles de pila hardware. Temporizador. Soporte multiproceso. Variantes: 12 canales PWM.
- TMS320C5x de Texas Instruments. Tiene 16 bits de palabra de instrucción y de datos. Acumulador de 32 bits. Desplazador de 16 bits. Un generador de direcciones. Un *bus* de instrucciones y dos de datos. 348 *kbytes* de espacio direccionable externo. 8 niveles de pila hardware. Contador de bucle. Temporizador. Soporte multiproceso. Puerto *host* paralelo.
- TMS320C54x de Texas Instruments. Tiene 16 bits de palabra de instrucción y de datos. Dos acumuladores de 40 bits (8 bits de guarda). Desplazador de 40 bits. Dos generadores de direcciones. Un *bus* de instrucciones y tres de datos. Memoria bipuerto. 348 *kbytes* de espacio direccionable externo. Pila software. Contador de bucle. Temporizador. Soporte multiproceso. Puerto *host* paralelo.
- TMS320C62x de Texas Instruments. Tecnología VLIW (Very Long Instruction Word) que permite controlar independientemente cada una de las 8 unidades funcionales del procesador. Tiene 32 bits de palabra de instrucción y 16 bits de palabra de datos. Dos multiplicadores de 16x16 bits. 6 ALUs de 40 bits. Desplazador de 40 bits. Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. 4 *Gbytes* de espacio direccionable externo. Búsqueda de instrucciones en paquetes de hasta 8 instrucciones. Cachés de primer nivel de programa y datos de 4 *kbytes* y segundo nivel de 64 *kbytes*. Pila software. Contador de bucle. Temporizador. Soporte multiproceso. *Bus* secundario de E/S.
- TMS320C8x de Texas Instruments. Está compuesto por 4 DSPs de coma fija y un procesador RISC que controla su funcionamiento paralelo, todo ello integrado en el mismo chip. Texas Instruments dejó de fabricarlo en 1997. Tiene 64 bits de palabra de instrucción y 16 bits de palabra de datos. Acumulador de 32 bits. Desplazador de 32 bits. Dos generadores de direcciones por DSP. Un *bus* de instrucciones y dos de datos por DSP. 4 *Gbytes* de espacio direccionable

externo. Caché de programa de 2 *kbytes*. Pila software. Contador de bucle. Temporizador. Soporte multiproceso. Puerto *host*. Controlador DMA.

- Z893xx de Zilog. Tiene 16 bits de palabra de instrucción y de datos. Acumulador de 24 bits. Dos generadores de direcciones. Un *bus* de instrucciones y uno de datos. Contador de bucle. Dos temporizadores de 13 bits. *Interface codec*. *Bus* de E/S. Variantes: 4-8 *kbytes* ROM, PLL.
- ZSP 16400 de Zilog. Arquitectura RISC superescalar que permite la ejecución de hasta 4 instrucciones en un ciclo. Tiene 16 bits de palabra de instrucción y de datos. Dos multiplicadores de 16x16 bits. 6 ALUs de 40 bits. 8 desplazadores de 32 bits. Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. 4 *Gbytes* de espacio direccionable externo. Búsqueda de instrucciones en paquetes de hasta 8 instrucciones. Cachés de 32 palabras de programa y de datos. RAM bipuerto. DMA.

Las características más relevantes de las familias de procesadores DSP de coma flotante en el mercado son:

- ADSP-2106x de Analog Devices. Tiene 48 bits de palabra de instrucción y 40 bits de palabra de datos. Acumulador de 80 bits. Desplazador de 32 bits. Formato IEEE-754. Un *bus* de instrucciones y tres de datos. Dos generadores de direcciones. 4G palabras de espacio direccionable externo. Caché de programa de 32 palabras. 30 niveles de pila hardware. Contador de bucle. Soporte multiproceso. Puerto *host*. Controlador DMA de 10 canales. Controlador E/S. Variantes: 512 *kbytes* RAM, Temporizador. 6 puertos comunicaciones.
- E1-32X de Hyperstone. Combina tecnología DSP y RISC. Tiene 32 bits de palabra de instrucción y de datos. Acumuladores de 16 y 32 bits. Dos generadores de direcciones. 4 *Gbytes* de espacio direccionable externo. 2 *kbytes* ROM, 16 *kbytes* RAM, 2 puertos serie. 2 puertos *host*.
- TMS320C3x de Texas Instruments. (ver sección anterior).
- TMS320C4x de Texas Instruments. Tiene 32 bits de palabra de instrucción y de datos. Acumulador de 40 bits. Desplazador de 32 bits. Un *bus* de instrucciones y tres de datos. Dos generadores de direcciones. 4 *Gbytes* de espacio direccionable externo. Caché de programa de 128 palabras. Pila software. Contador de bucle. Soporte multiproceso. Controlador DMA de 6 canales. Variantes: 60 MHz, 64 *bytes* ROM, 6 *kbytes* RAM, Temporizador. 2 puertos serie. 4-6 puertos de comunicaciones.
- TMS320C67x de Texas Instruments. Versión en coma flotante de la familia TMS320C62x, con la que es compatible a nivel software. Tecnología VLIW (Very Long Instruction Word) que permite controlar independientemente cada una de las 8 unidades funcionales del procesador, 6 de coma flotante y 2 de coma fija. Dos multiplicadores de 32x32 bits, con resultados de 64 bits. 6 ALUs

de 40 bits. Desplazador de 40 bits. Dos generadores de direcciones. Un *bus* de instrucciones y dos de datos. 4 *Gbytes* de espacio direccionable externo. Búsqueda de instrucciones en paquetes de hasta 8 instrucciones. Cachés de primer nivel de programa y datos de 4 *kbytes* y segundo nivel de 64 *kbytes*. Pila software. Contador de bucle. Temporizador. Soporte multiproceso. *Bus* secundario de E/S.